

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

#2
P. Br. 402
7/31/01
J1000 U.S. PTO
09/843820
04/30/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 6月 1日

出願番号

Application Number:

特願2000-164442

出願人

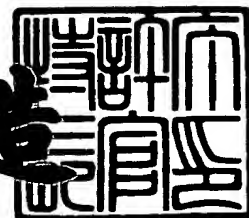
Applicant (s):

富士通株式会社

2001年 2月 9日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3005992

【書類名】 特許願

【整理番号】 0000620

【提出日】 平成12年 6月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体集積回路

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 佐藤 貴彦

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100072718

【弁理士】

【氏名又は名称】 古谷 史旺

【電話番号】 3343-2901

【手数料の表示】

【予納台帳番号】 013354

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704947

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 内部回路を初期化するリセット信号を、電源の立ち上げから所定の期間活性化し、その後非活性化するパワーオンリセット回路と、

前記リセット信号の非活性化タイミングを調整するタイミング調整回路とを備えていることを特徴とする半導体集積回路。

【請求項 2】 請求項 1 記載の半導体集積回路において、

前記非活性化タイミングは、内蔵するトランジスタの閾値に基づいて調整されることを特徴とする半導体集積回路。

【請求項 3】 請求項 1 記載の半導体集積回路において、

外部から供給される外部電源電圧に基づいて、該外部電源電圧と異なる内部電源電圧を発生する電圧発生回路を備え、

前記非活性化タイミングは、内蔵するトランジスタの閾値に応じて変化する前記内部電源電圧に基づいて調整されることを特徴とする半導体集積回路。

【請求項 4】 請求項 3 記載の半導体集積回路において、

ヒューズを有するプログラム回路を備え、

前記非活性化タイミングは、前記内部電源電圧に基いて前記ヒューズをプログラムすることにより調整されることを特徴とする半導体集積回路。

【請求項 5】 請求項 4 記載の半導体集積回路において、

前記内部電源電圧を調整する試験回路を備え、

前記試験回路の動作に基づいて最適な前記非活性化タイミングを生成するためにプログラムすべき前記ヒューズを決定することを特徴とする半導体集積回路。

【請求項 6】 請求項 4 記載の半導体集積回路において、

前記ヒューズのプログラムにより、前記非活性化タイミングの調整と同時に、前記内部電源電圧が所定の値に調整されることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パワーオンリセット回路を有する半導体集積回路に関する。

【0002】

【従来の技術】

一般に、半導体集積回路は、パワーオンリセット回路を内蔵している。電源の立ち上げ時にこのパワーオンリセット回路を動作させ、内部回路を初期化することで、半導体集積回路の誤動作が防止される。

図6は、この種のパワーオンリセット回路が生成するパワーオンリセット信号PORの波形を示している。以後、パワーオンリセット信号PORを、単にリセット信号PORとも称する。

【0003】

半導体集積回路に外部電源電圧VCCの供給が開始されると、リセット信号PORのレベルは、所定の期間、外部電源電圧VCCに追従して上昇し、その後低レベルに変化する（非活性化）。半導体集積回路のうち初期化が必要な内部回路は、電源電圧VCCが所定の値になった後、リセット信号PORが非活性化されるまでの期間T1に初期化される。そして、リセット信号PORが非活性化（低レベル）されることで、リセット動作が終了し、内部回路が通常の動作を開始する。

【0004】

一般に、この種のパワーオンリセット回路は、トランジスタの閾値を利用して、電源電圧VCCが所定の値まで上昇したことを検出し、リセット信号PORを非活性化化する。

【0005】

【発明が解決しようとする課題】

近時、半導体集積回路の動作電圧が低くなってきており、外部から供給される電源電圧VCCも低くなっている。トランジスタの閾値は、電源電圧VCCにほとんど依存しないため、電源電圧VCCに対するトランジスタの閾値の比率は大きくなる。この結果、パワーオンリセット回路の電源電圧VCCの検出レベルは、閾値の変動により大きく変化し、動作電圧が高いときに比べ、閾値の変動に対するリセット信号PORの非活性化タイミングのずれ量（図6のT2）の影響が大きくなる。トランジスタの閾値は、半導体集積回路の製造条件の変動の他、ウエハ上でのチッ

ブの位置、製造ロット内でのウエハの位置に依存して変動する。

【0006】

例えば、リセット信号PORの非活性化タイミングが早い側にずれた場合、リセット期間T1が短くなる。このため、内部回路が正常に初期化されないおそれがある。最悪の場合、内部回路の初期化に必要なリセット信号PORの高レベル期間は、なくなってしまう。また、リセット信号PORの非活性化タイミングが遅い側にずれた場合、リセット信号PORが非活性化されない（常に高レベル）おそれがある。さらに、リセット信号PORの非活性化タイミングが適正でない場合、電源電圧VCCあるいは接地電圧の一時的な変動により、パワーオンリセット回路が誤動作し、リセット信号PORが一時的に活性化することもある。

【0007】

また、リセット信号PORの非活性化タイミングを直接測定する場合、テストのプローブの接触により非活性化タイミングが大きく変わってしまう。これを避けるために、出力用の素子（試験回路）を追加する場合、新たにレイアウト領域が必要になる。また、試験回路による評価は、一般に半導体集積回路を試験モードに移行して行われる。ところが、試験回路の信号の経路に、リセット信号PORによって初期化されるべき回路が存在すると、試験モードに移行できず、評価自体ができなくなる。

【0008】

本発明の目的は、パワーオンリセット回路が生成するリセット信号の非活性化タイミングのばらつきを低減することにある。

本発明の別の目的は、外部電源電圧が低いときにも、パワーオンリセット回路を確実に動作させ、内部回路を初期化することにある。

【0009】

【課題を解決するための手段】

請求項1の半導体集積回路は、内部回路を初期化するリセット信号を、電源の立ち上げから所定の期間活性化し、その後非活性化するパワーオンリセット回路を備えている。リセット信号の非活性化タイミングは、タイミング調整回路により調整される。このため、半導体集積回路の製造条件の変動等によりずれた非活

性化タイミングを、正常な値に調整できる。この結果、内部回路を確実に初期化できる。

【 0 0 1 0 】

請求項 2 の半導体集積回路では、非活性化タイミングは、内蔵するトランジスタの閾値に基づいて調整される。一般に、パワーオンリセット回路は、トランジスタの閾値を利用してリセット信号を生成する。このとき、非活性化タイミングは、トランジスタの閾値に依存して変動する。このため、閾値に基づいて最適な非活性化タイミングに調整できる。

【 0 0 1 1 】

請求項 3 の半導体集積回路は、外部から供給される外部電源電圧に基づいて、外部電源電圧と異なる内部電源電圧を発生する電圧発生回路を備えている。リセット信号の非活性化タイミングは、内蔵するトランジスタの閾値に応じて変化する内部電源電圧を利用して容易に調整される。

請求項 4 の半導体集積回路は、ヒューズを有するプログラム回路を備えている。リセット信号の非活性化タイミングは、内部電源電圧に基いてヒューズをプログラムすることにより調整される。一度設定した非活性化タイミングは変わらないため、半導体集積回路の製造工程で、非活性化タイミングを確実に調整できる。

【 0 0 1 2 】

請求項 5 の半導体集積回路は、内部電源電圧を調整する試験回路を備えている。そして、最適な非活性化タイミングを生成するためにプログラムすべきヒューズは、試験回路の動作に基づいて決定される。例えば、まず、半導体集積回路の試験工程でチップ（半導体集積回路）毎に試験回路を動作させ、最適な非活性化タイミングが確認される。この後、対応するヒューズをプログラムすることで、チップ毎に最適な非活性化タイミングを設定できる。

【 0 0 1 3 】

請求項 6 の半導体集積回路では、ヒューズのプログラムにより、リセット信号の非活性化タイミングの調整と同時に、内部電源電圧が所定の値に調整される。非活性化タイミングと内部電源電圧とが、ともに閾値に依存して変動する場合、

非活性化タイミングと内部電源電圧とを設定するためのヒューズを共用できる。
レーザ光の照射で溶断するヒューズの場合、大きな面積を必要とする。このため、ヒューズの共用は、チップサイズの削減に有効である。

【0014】

【発明の実施の形態】

以下、本発明の実施形態を図面を用いて説明する。

図1は、本発明の半導体集積回路の一実施形態を示している。この実施形態は、請求項1ないし請求項6に対応している。

この半導体集積回路は、シリコン基板上にCMOSプロセス技術を使用してSDRAM (Synchronous DRAM) として形成されている。

【0015】

SDRAMは、タイミング調整回路10、パワーオンリセット回路12、基準電圧発生回路14、およびレギュレータ16を有している。SDRAMは、図示した以外にも、入出力回路、メモリコア、およびメモリコアを制御する制御回路等を有している。パワーオンリセット回路12は、内部電源電圧VDDを電源電圧として受けている。タイミング調整回路10、基準電圧発生回路14およびレギュレータ16は、外部から供給される外部電源電圧VCCを電源電圧として受けている。以降の説明では、内部電源電圧VDDを供給する電源線を内部電源線VDDと称し、外部電源電圧VCCを供給する電源線を外部電源線VCCと称する。

【0016】

タイミング調整回路10は、ヒューズ回路18およびデコーダ20、22を有している。ヒューズ回路18は、試験活性化信号TESTXおよび試験信号TEST0、TEST1を受け、これ等の信号と内蔵するヒューズの状態とに応じて、調整信号RS0、RS1および調整信号VG0、VG1を、それぞれデコーダ20、22に出力している。デコーダ20は、調整信号RS0、RS1を受け、受けた信号に応じてデコード信号DRS0、DRS1、DRS2、DRS3のいずれかを活性化する。デコーダ21は、調整信号VG0、VG1を受け、受けた信号に応じてデコード信号DVG0、DVG1、DVG2、DVG3のいずれかを活性化する。

【0017】

パワーオンリセット回路 1 2 は、パワーオンリセット信号PORを生成している。リセット信号PORの非活性化タイミングは、デコード信号DRS0、DRS1、DRS2に応じて変更可能にされている。基準電圧発生回路 1 4 は、基準電圧VREFを生成している。基準電圧REFVの値は、デコード信号DVG0、DVG1、DVG2、DVG3に応じて変更可能にされている。レギュレータ 1 6 は、基準電圧VREFを受け、所定の駆動能力を有する内部電源電圧VDDを生成している。内部電源電圧VDDは、メモリコアおよびメモリコアを制御する制御回路等に供給される。

【 0 0 1 8 】

図 2 は、タイミング調整回路 1 0 のヒューズ回路 1 8 およびデコーダ 2 0、2 2 の詳細を示している。

ヒューズ回路 1 8 は、下位ビットに相当する調整信号RS0、VG0を発生するプログラム回路 2 4 と、上位ビットに相当する調整信号RS1、VG1を発生するプログラム回路 2 6 とを有している。プログラム回路 2 4 は、ヒューズ 2 4 a、ヒューズ 2 4 b、nMOSトランジスタ 2 4 c、インバータ 2 4 d、NANDゲート 2 4 e、2 4 f、および 2 つのインバータを縦続接続したインバータ列 2 4 g、2 4 h とを有している。以下の説明では、nMOSトランジスタ、pMOSトランジスタを単にnMOS、pMOSと称する。

【 0 0 1 9 】

ヒューズ 2 4 a、ヒューズ 2 4 b、およびnMOS 2 4 c は、電源線VCCと接地線VSSとの間に直列に接続されている。nMOS 2 4 c は、ゲートを電源線VCCに接続しており、抵抗として作用する。インバータ 2 4 d は、ヒューズ 2 4 a、2 4 b の接続ノードのレベルを受け、ヒューズ 2 4 a、2 4 b の状態（溶断または未溶断）に対応する論理レベル（ヒューズ情報）を出力する。インバータ列 2 4 g は、インバータ 2 4 d の出力を受け、調整信号RS0を出力する。

【 0 0 2 0 】

NANDゲート 2 4 e、2 4 f、およびインバータ列 2 4 h は、直列に接続されている。NANDゲート 2 4 e は、インバータ 2 4 d の出力および試験活性化信号TESTXを受けている。NANDゲート 2 4 e は、試験活性化信号TESTXの非活性化（高レベル）を受けたとき活性化され、インバータ 2 4 d の出力（ヒューズ情報）をNAND

ゲート 2 4 f に伝達する。NANDゲート 2 4 e は、試験活性化信号TESTXの活性化（低レベル）を受けたとき非活性化され、高レベルを出力する。このとき、ヒューズ情報は伝達されない。試験活性化信号TESTXは、試験モード時において、ヒューズ情報をマスクして内部電源電圧VDDを評価するときに活性化される。NANDゲート 2 4 f は、NANDゲート 2 4 e の出力および試験信号TEST0を受けている。試験信号TEST0は、試験モード時において、図の下側のヒューズ 2 4 b が溶断された状態にするときに高レベルにされ、図の上側のヒューズ 2 4 a が溶断された状態にするときに低レベルにされる。また、試験信号TEST0は、通常の動作モード時に、高レベルにされる。すなわち、NANDゲート 2 4 f は、試験モード時に試験信号TEST0の情報をインバータ列 2 4 h に伝達し、通常の通常の動作モード時にヒューズ情報をインバータ列 2 4 h に伝達する。インバータ列 2 4 h は、受けた情報を調整信号VG0として出力する。インバータ列 2 4 g は、調整信号RS0を出力している。

【 0 0 2 1 】

プログラム回路 2 6 は、プログラム回路 2 4 と同一の構成である。すなわち、NANDゲート 2 6 e は、試験活性化信号TESTXおよびインバータ 2 6 d の出力を受け、NANDゲート 2 6 f は、試験信号TEST1を受けている。試験信号TEST1は、試験モード時において、図の下側のヒューズ 2 6 b が溶断された状態にするときに高レベルにされ、図の上側のヒューズ 2 6 a が溶断された状態にするときに低レベルにされる。また、試験信号TEST1は、通常の動作モード時に、高レベルにされる。インバータ列 2 6 h は、調整信号VG1を出力する。インバータ列 2 6 g は、調整信号RS1を出力している。

【 0 0 2 2 】

このように、ヒューズ回路 1 8 は、ヒューズ 2 4 a、2 4 b、2 6 a、2 6 b を溶断する前に、調整信号RS0、RS1、VG0、VG1を様々なレベルにし、内部電源電圧VDDを調整する試験回路としての機能も有する。

デコーダ 2 0 は、NANDゲートおよびインバータからなる 4 つのAND回路とNANDゲートに調整信号RS0、RS1の反転信号を供給するための 2 つのインバータとを有している。AND回路は、調整信号RS0、RS1およびその反転信号を受け、調整信号R

S0、RS1の値に応じてデコード信号DRS0、DRS1、DRS2、DRS3のいずれかを活性化（高レベル）する。例えば、調整信号RS0、RS1がともに高レベルのとき、デコード信号DRS0が活性化され、調整信号RS0、RS1がともに低レベルのとき、デコード信号DRS3が活性化される。

【 0 0 2 3 】

デコーダ22は、デコーダ20とほぼ同一の回路である。デコーダ22のAND回路は、調整信号VG0、VG1およびその反転信号を受け、調整信号VG0、VG1の値に応じてデコード信号DVG0、DVG1、DVG2、DVG3のいずれかを活性化（高レベル）し、デコード信号/DVG0、/DVG1、/DVG2、/DVG3のいずれかを活性化（低レベル）する。デコード信号の頭に付した“/”は、負論理を示している。例えば、調整信号VG0、VG1がともに高レベルのとき、デコード信号DVG0、/DVG0が活性化され、調整信号VG0、VG1がともに低レベルのとき、デコード信号DVG3、/DVG3が活性化される。

【 0 0 2 4 】

試験モード時に試験活性化信号TESTXが低レベルにされると、プログラム回路24のNANDゲート24e、24fは、それぞれ非活性化、活性化され、プログラム回路26のNANDゲート26e、26fは、それぞれ非活性化、活性化される。ヒューズ24a、24b、26a、26bが溶断されていないとき、プログラム回路24のインバータ24dおよびプログラム回路26のインバータ26dは、低レベルを出力する。このため、調整信号RS0、RS1はともに低レベルになり、デコード信号DRS3が活性化される。換言すれば、パワーオンリセット回路12に供給されるデコード信号DRS0～DRS2はいずれも低レベルになる。

【 0 0 2 5 】

図3は、パワーオンリセット回路12の詳細を示している。

パワーオンリセット回路12は、nMOS12a、12b、12c、12d、12e、12f、12g、12h、12iと、抵抗R1、R2、R3と、2つのインバータを縦続接続したインバータ列12jとを有している。

抵抗R1、nMOS12a、12b、12c、12d、12eは、電源線VDDと接地線VSSとの間に、ノードND1、ND2、ND3、ND4、ND5を介してそれぞれ直列に接続さ

れている。nMOS 1 2 f、1 2 g、1 2 hは、ノードND5とノードND2、ND3、ND4との間をそれぞれ接続している。nMOS 1 2 f、1 2 g、1 2 hのゲートは、それぞれデコード信号DRS0、DRS1、DRS2を受けている。nMOS 1 2 f、1 2 g、1 2 hの閾値は、nMOS 1 2 a、1 2 b、1 2 c、1 2 d、1 2 eの閾値に比べ十分に低くされている。

【 0 0 2 6 】

nMOS 1 2 iは、ゲートおよびドレインをnMOS 1 2 a、1 2 b、1 2 c、1 2 d、1 2 eのゲート（ノードND6）に接続し、ソースを電源線VDDに接続している。インバータ列 1 2 jは、ノードND1のレベルを受け、パワーオンリセット信号PORを出力している。抵抗R2、R3は、電源線VDDと接地線VSSとの間に、ノードND6を介して直列に接続されている。

【 0 0 2 7 】

リセット信号PORの非活性化タイミングは、電源のオン後、ノードND1が低レベルになるまでの時間で決まる。このため、非活性化タイミングは、nMOSの閾値が低いときに早くなり、nMOSの閾値が高いときに遅くなる。図 2 に示したヒューズ 2 4 a、2 4 b、2 6 a、2 6 bが溶断され、nMOS 1 2 f、1 2 g、1 2 hのいずれかがオンすることで、ノードND2と接地線VSSの間の抵抗が下がり、後述するように、リセット信号PORの非活性化タイミングが早くなる。このため、この実施形態では、予め、非活性化タイミングの遅いリセット信号PORが生成されるようにSDRAMが製造され、nMOS 1 2 f、1 2 g、1 2 hのいずれかをオンすることで、リセット信号PORの非活性化タイミングが最適に調整される。

【 0 0 2 8 】

図 4 は、基準電圧発生回路 1 4 の詳細を示している。

基準電圧発生回路 1 4 は、カレントミラー回路を有し基準電圧VREF0を発生する電圧発生部 2 8 と、カレントミラー回路を有し基準電圧VREFを発生する差動増幅器 3 0 と、pMOS 3 2 と、抵抗R4、R5、R6、R7、R8、R9と、容量C1と、CMOS伝達ゲート 3 4 a、3 4 b、3 4 c、3 4 dとを有している。

【 0 0 2 9 】

電圧発生部 2 8 は、電源線VCCと接地線VSSとの間に、直列に接続されたpMOS 2

8 a、nMOS 2 8 b、抵抗R4を有している。さらに、電圧発生部 2 8 は、電源線VCCと接地線VSSとの間に、基準電圧VREF0の発生ノードであるノードND5を介して直列に接続されたpMOS 2 8 cおよびnMOS 2 8 dを有している。カレントミラー回路は、ドレインとゲートとを接続したpMOS 2 8 aと、pMOS 2 8 cとにより構成されている。nMOS 2 8 bのゲートは、ノードND5に接続されている。nMOS 2 8 dのゲートは、nMOS 2 8 bのソースに接続されている。基準電圧VREF0は、nMOS 2 8 b、2 8 dの閾値が低いときに低く、閾値が高いときに高くなる。

【0 0 3 0】

差動増幅器 3 0 は、直列に接続されたpMOS 3 0 aおよびnMOS 3 0 bと、直列に接続されたpMOS 3 0 cおよびnMOS 3 0 dと、nMOS 3 0 b、3 0 dのソースを接地線VSSに接続するnMOS 3 0 eを有している。カレントミラー回路は、ドレインとゲートとを接続したpMOS 3 0 c、pMOS 3 0 aとにより構成されている。差動増幅器 3 0 の出力ノードND6であるpMOS 3 0 a、nMOS 3 0 bのドレインは、pMOS 3 2 のゲートに接続されている。nMOS 3 0 dのゲートに接続されたノードND7は、容量C1を介して基準電圧VREFの出力ノードND8に接続されている。差動増幅器 3 0 の出力電圧（ノードND6）は、ノードND7が基準電圧VREF0に比べて低いときに低く、ノードND7が基準電圧VREF0に比べて高いときに高くなる。

【0 0 3 1】

また、リセット信号PORの非活性化タイミングは、測定はできないが、nMOSの閾値が高くなるにしたがい遅くなる。

pMOS 3 2 および抵抗R5、R6、R7、R8、R9は、電源線VCCと接地線VSSとの間に、ノードND8、ND9、ND10、ND11、ND12を介してそれぞれ直列に接続されている。CMOS伝達ゲート 3 4 a、3 4 b、3 4 c、3 4 dは、ノードND7とノードND9、ND10、ND11、ND12をそれぞれ接続している。内部電源電圧VDDは、基準電圧VREFが高いときに高くなり、基準電圧VREFが低いときに低くなる。このため、内部電源電圧VDDは、電圧発生部 2 8 のnMOS 2 8 b、2 8 dの閾値が高いときに高くなり、nMOS 2 8 b、2 8 dの閾値が低いときに低くなる。

【0 0 3 2】

このように、内部電源電圧VDDおよびリセット信号PORの非活性化タイミングは

、ともにnMOSの閾値に依存して変動する。パワーオンリセット回路12および基準電圧発生回路14のnMOSは、同一の工程で作り込まれるため、閾値の変動は、ほぼ同一になる。

CMOS伝達ゲート34aは、デコード信号DVG0、/DVG0の活性化（それぞれ高レベル、低レベル）を受けたときにオンする。CMOS伝達ゲート34bは、デコード信号DVG1、/DVG1の活性化（それぞれ高レベル、低レベル）を受けたときにオンする。CMOS伝達ゲート34cは、デコード信号DVG2、/DVG2の活性化（それぞれ高レベル、低レベル）を受けたときにオンする。CMOS伝達ゲート34dは、デコード信号DVG3、/DVG3の活性化（それぞれ高レベル、低レベル）を受けたときにオンする。

【0033】

そして、CMOS伝達ゲート34a、34b、34c、34dのいずれかがオンされ、抵抗R5、R6、R7、R8、R9とノードND7とによる抵抗分割比が変わることで、発生する基準電圧VREFの値が変更される。

次に、リセット信号PORの非活性化タイミングを調整する例を説明する。

図5は、電源のオン後の外部電源電圧VCC、内部電源電圧VDD、およびリセット信号PORの波形を示している。図5（a）は、nMOSの閾値が、標準値に比べかなり高めに製造された例、図5（b）は、nMOSの閾値が、標準値より若干高めに製造された例を示している。

【0034】

まず、SDRAMの製造後、図2に示したヒューズ回路18は、上述したように低レベルの調整信号RS0、RS1、VG0、VG1を出力する。そのため、デコーダ20、22は、それぞれデコード信号DRS3、DVG3を活性化する。

この後、ウェハ状態でのプローブ試験（試験工程）において、各チップの内部電源電圧VDDが評価され、nMOSの閾値が間接的に確認される。このとき、動作モードは試験モードに移行され、試験活性化信号TESTXは低レベルにされている。

【0035】

そして、内部電源電圧VDDの標準値に対するずれ量により、nMOSの閾値の標準値に対するずれ量が明らかにされる。すなわち、基準電圧発生回路14は、閾値

のモニタ回路としての機能を兼ねている。図 5 の実線は測定値を示し、破線は標準値を示している。次に、試験信号TEST0、TEST1のレベルを変えて、デコード信号DVG0～DVG3が順次に活性化される。それぞれの条件で内部電源電圧VDDが測定され、内部電源電圧VDDを破線で示した標準値にするための試験信号TEST0、TEST1のレベルが確認される。

【 0 0 3 6 】

例えば、図 5 (a) において、試験信号TEST0、TEST1が高レベル、低レベル（2進数の“1”）のときに、内部電源電圧VDDが標準値になることが確認される。このとき、プログラム回路24、26は、それぞれ低レベルの調整信号VG0と、高レベルの調整信号VG1とを出力する。図 5 (b) において、試験信号TEST0、TEST1が低レベル、高レベル（2進数の“2”）のときに、内部電源電圧VDDが標準値になることが確認される。このとき、プログラム回路24、26は、それぞれ高レベルの調整信号VG0と、低レベルの調整信号VG1とを出力する。

【 0 0 3 7 】

内部電源電圧VDDの測定により、リセット信号PORの非活性化タイミングは、図の太い実線の特徴を示すことが間接的に確認される。なお、試験工程では、ヒューズ24 a、24 b、26 a、26 bは、まだ溶断されていないため、上述したように、プログラム回路24、26は、それぞれ低レベルの調整信号RS0、RS1を出力する。

【 0 0 3 8 】

この後、例えば、nMOSの閾値が高い場合、ヒューズ工程において、高レベルの試験信号TEST0と低レベルの試験信号TEST1に対応するヒューズ24 b、26 aが溶断される（図 5 (a) に対応する）。ヒューズ24 b、26 aの溶断により、プログラム回路24、26は、通常動作時（試験活性化信号TESTXが高レベル）において、低レベルの調整信号VG0、RS0および高レベルの調整信号VG1、RS1を出力する。すなわち、ヒューズ24 b、26 aの溶断により、内部電源電圧VDDの値およびリセット信号PORの非活性化タイミングが、同時に調整される。

【 0 0 3 9 】

同様に、nMOSの閾値が低い場合、ヒューズ工程において、低レベルの試験信号

TEST0と高レベルの試験信号TEST1に対応するヒューズ24 a、26 bが溶断される（図5（b）に対応する）。プログラム回路24、26は、通常動作時において、高レベルの調整信号VG0、RS0および低レベルの調整信号VG1、RS1を出力する。

この結果、電源のオン時に、図5に破線で示した内部電源電圧VDDおよびリセット信号PORが生成される。すなわち、リセット信号PORのリセット期間は、標準の期間T1になる。

【0040】

以上、本実施形態の半導体集積回路では、リセット信号PORの非活性化タイミングを、タイミング調整回路10により調整した。このため、SDRAMの製造条件の変動等によりずれた非活性化タイミングを、正常な値に調整できる。この結果、内部回路を確実に初期化できる。

リセット信号PORの生成にnMOSの閾値を利用した。このため、リセット信号PORの非活性化タイミングを、nMOSの閾値に基づいて正確に調整できる。

【0041】

ヒューズ24 a、24 b、26 a、26 bを溶断することにより、リセット信号PORの非活性化タイミングを調整できる。

nMOSの閾値を利用して内部電源電圧VDDを発生し、リセット信号PORの非活性化タイミングを、nMOSの閾値に応じて変化する内部電源電圧VDDに基づいて調整した。このため、非活性化タイミングを直接測定することなく調整できる。

【0042】

最適な非活性化タイミングのリセット信号PORを生成するために溶断すべきヒューズ24 a、24 b、26 a、26 bを、内部電源電圧VDDを調整する試験回路の動作に基づいて決定した。このため、チップ毎に最適な非活性化タイミングを設定できる。

ヒューズ24 a、24 b、26 a、26 bの溶断により、リセット信号PORの非活性化タイミングの調整と同時に、内部電源電圧VDDを所定の値に調整した。このため、ヒューズ回路18を共用でき、チップサイズを低減できる。

【0043】

なお、上述した実施形態では、パワーオンリセット回路 1 2 および基準電圧発生回路 1 4 に対応してそれぞれデコーダ 2 0、2 2 を形成した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、内部電源電圧 V_DD の評価時にパワーオンリセット信号 P_{OR} の非活性化タイミングが変動しても良い場合、デコーダ 2 0、2 2 を共用できる。この結果、回路規模を低減できる。

【0 0 4 4】

上述した実施形態では、基準電圧発生回路 1 4 を閾値のモニタ回路として使用した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、スクライブライン上の TEG (Test Element Group) に形成される評価用の nMOS を流れる電流を測定することで、閾値を求めてもよい。あるいは、nMOS で構成されたリングオシレータの発振周期から、閾値を求めてもよい。

【0 0 4 5】

上述した実施形態では、本発明を SDRAM に適用した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明を FCRAM に適用してもよい。あるいは、本発明をマイクロコンピュータ、ロジック LSI、システム LSI に適用してもよい。

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【0 0 4 6】

【発明の効果】

請求項 1 の半導体集積回路では、半導体集積回路の製造条件の変動等によりずれたリセット信号の非活性化タイミングを、正常な値に調整できる。この結果、内部回路を確実に初期化できる。

請求項 2 の半導体集積回路では、リセット信号の非活性化タイミングを、閾値に基づいて最適な非活性化タイミングに調整できる。

【0 0 4 7】

請求項 3 の半導体集積回路では、リセット信号の非活性化タイミングを、内蔵するトランジスタの閾値に応じて変化する内部電源電圧を利用して容易に調整で

きる。

請求項4の半導体集積回路では、半導体集積回路の製造工程でヒューズのプログラムすることで、非活性化タイミングを確実に調整できる。

【0048】

請求項5の半導体集積回路では、チップ毎に最適な非活性化タイミングを確認した後、対応するヒューズをプログラムすることで、チップ毎に最適な非活性化タイミングを設定できる。

請求項6の半導体集積回路では、非活性化タイミングと内部電源電圧とを設定するためのヒューズを共用できる。この結果、チップサイズを低減できる。

【図面の簡単な説明】

【図1】

本発明の半導体集積回路の一実施形態を示すブロック図である。

【図2】

図1のタイミング調整回路を示す回路図である。

【図3】

図1のパワーオンリセット回路を示す回路図である。

【図4】

図1の基準電圧発生回路を示す回路図である。

【図5】

リセット信号の非活性化タイミングを調整する例を示す説明図である。

【図6】

従来におけるリセット信号の非活性化タイミングの変動を示す説明図である。

【符号の説明】

- 10 タイミング調整回路
- 12 パワーオンリセット回路
- 12j インバータ列
- 14 基準電圧発生回路
- 16 レギュレータ
- 18 ヒューズ回路

2 0、2 2 デコーダ

2 4、2 6 プログラム回路

2 4 a、2 4 b、2 6 a、2 6 b ヒューズ

2 4 g、2 4 h、2 6 g、2 6 h インバータ列

2 8 電圧発生部

3 0 差動増幅器

DRS0、DRS1、DRS2、DRS3 デコード信号

DVG0、DVG1、DVG2、DVG3 デコード信号

POR パワーオンリセット信号

RS0、RS1、 調整信号

TEST0、TEST1 試験信号

TESTX 試験活性化信号

VG0、VG1 調整信号

VCC 外部電源電圧

VDD 内部電源電圧

VREF 基準電圧

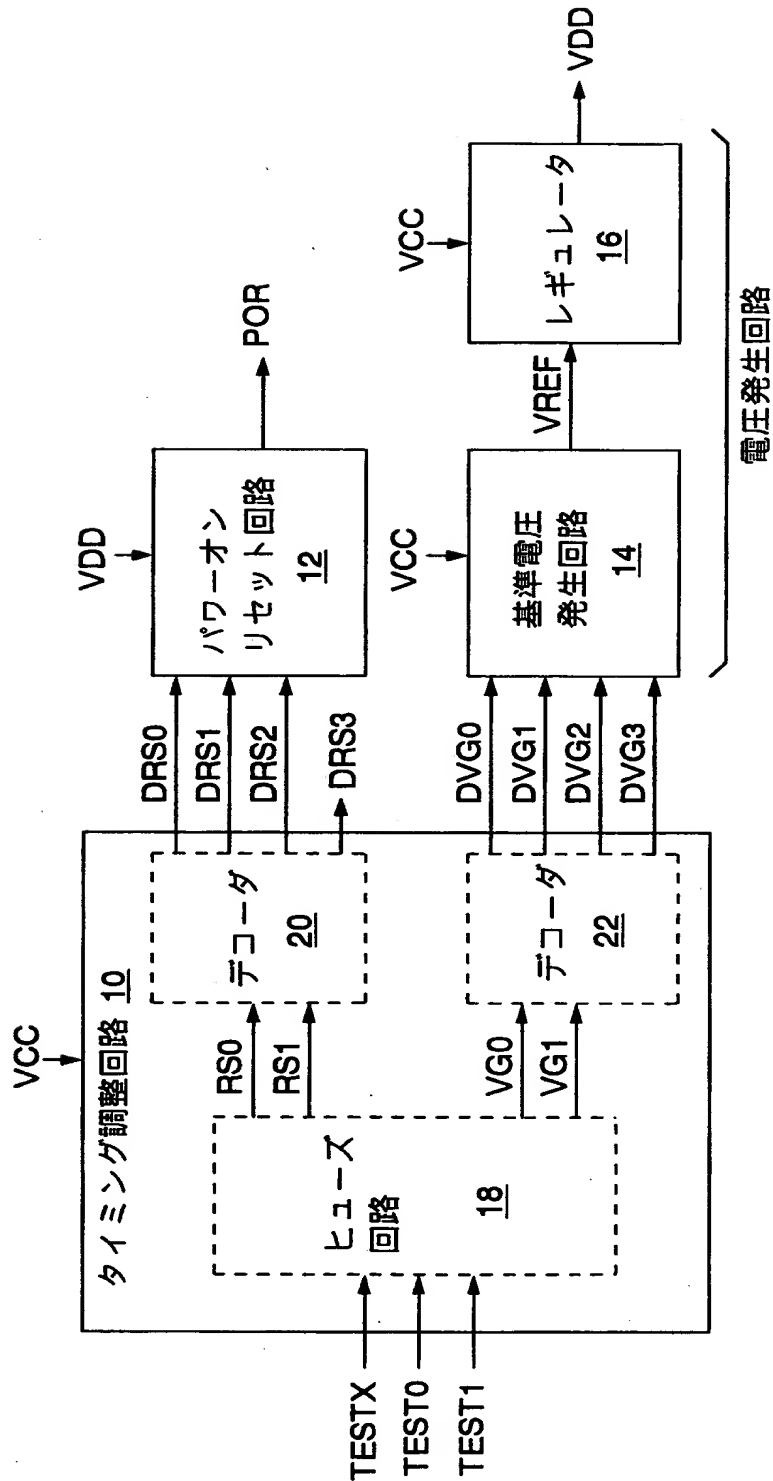
VSS 接地線

【書類名】

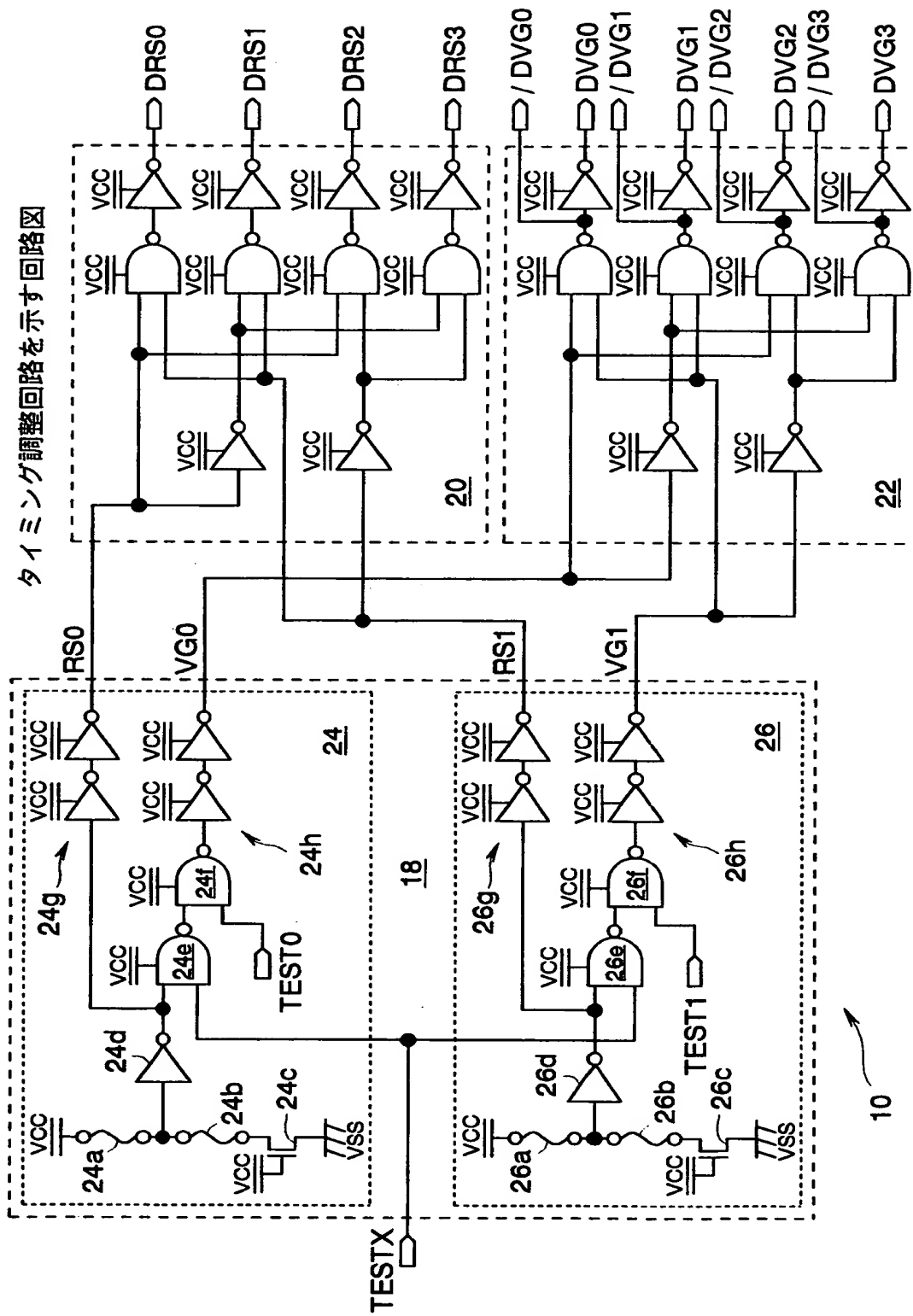
図面

【図 1】

本発明の半導体集積回路の一実施形態を示すブロック図

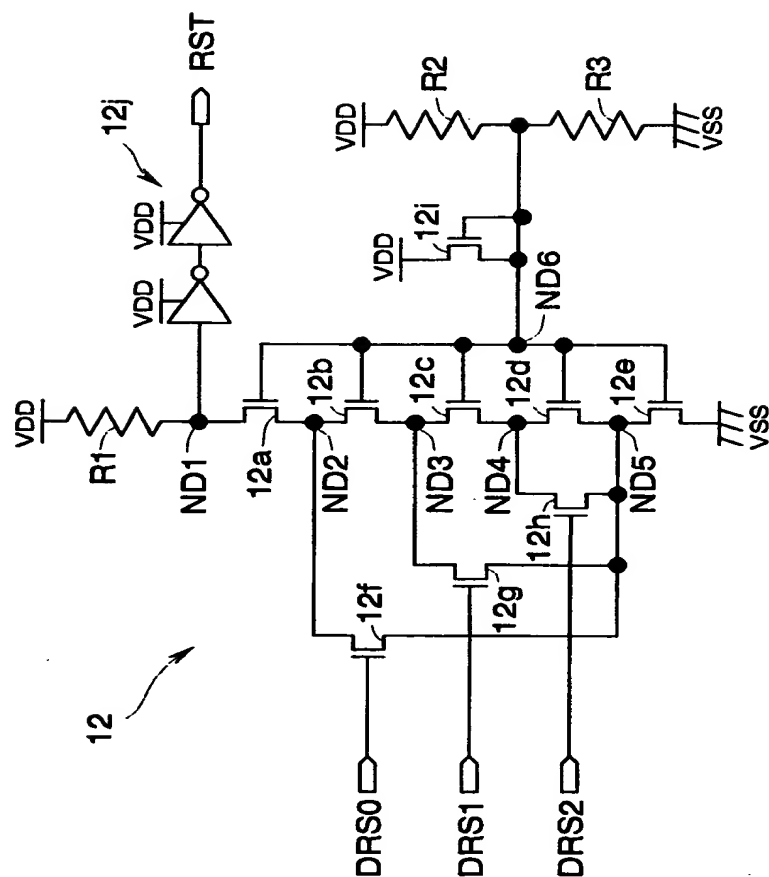


【図 2】

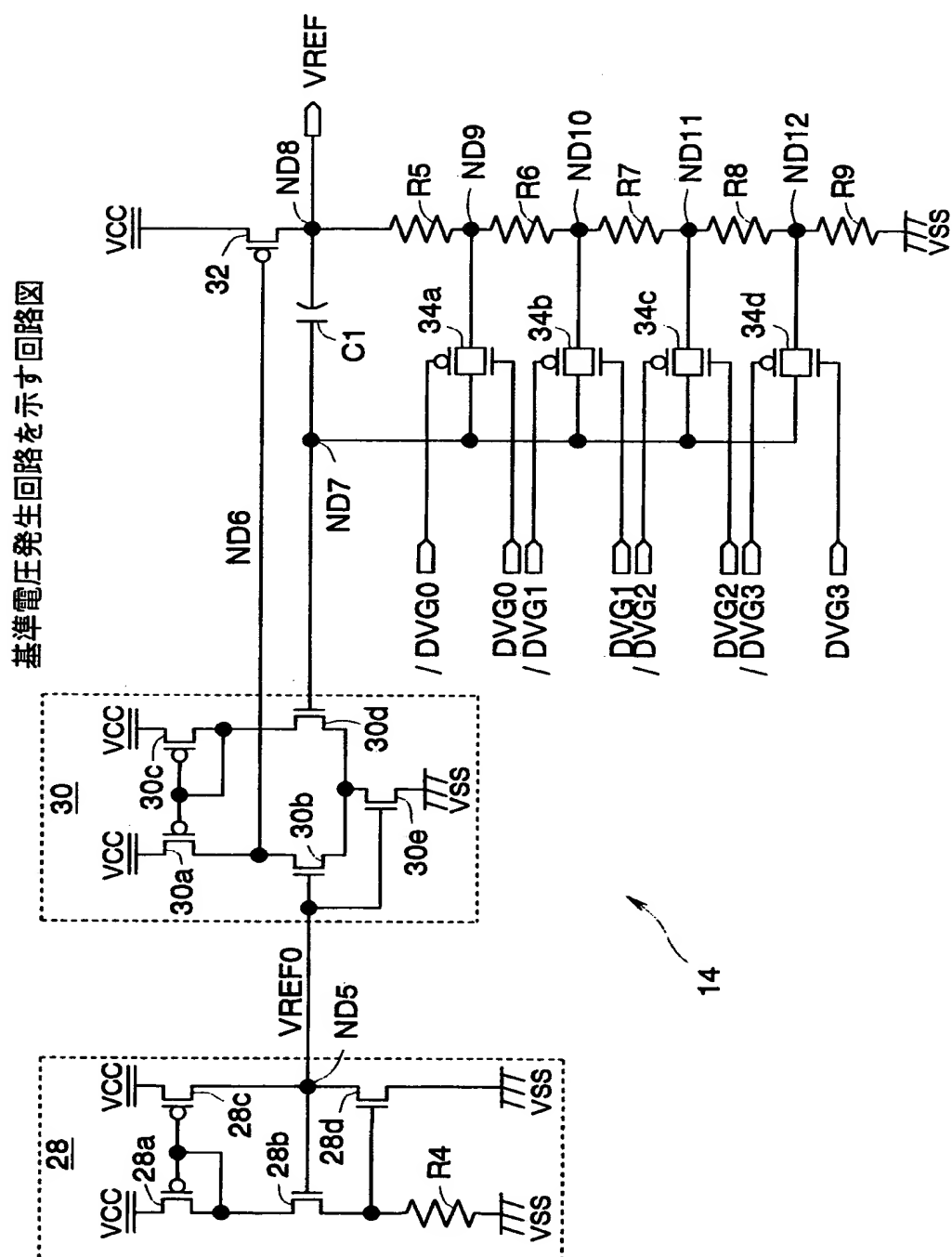


【図 3】

パワーオンリセット回路を示す回路図

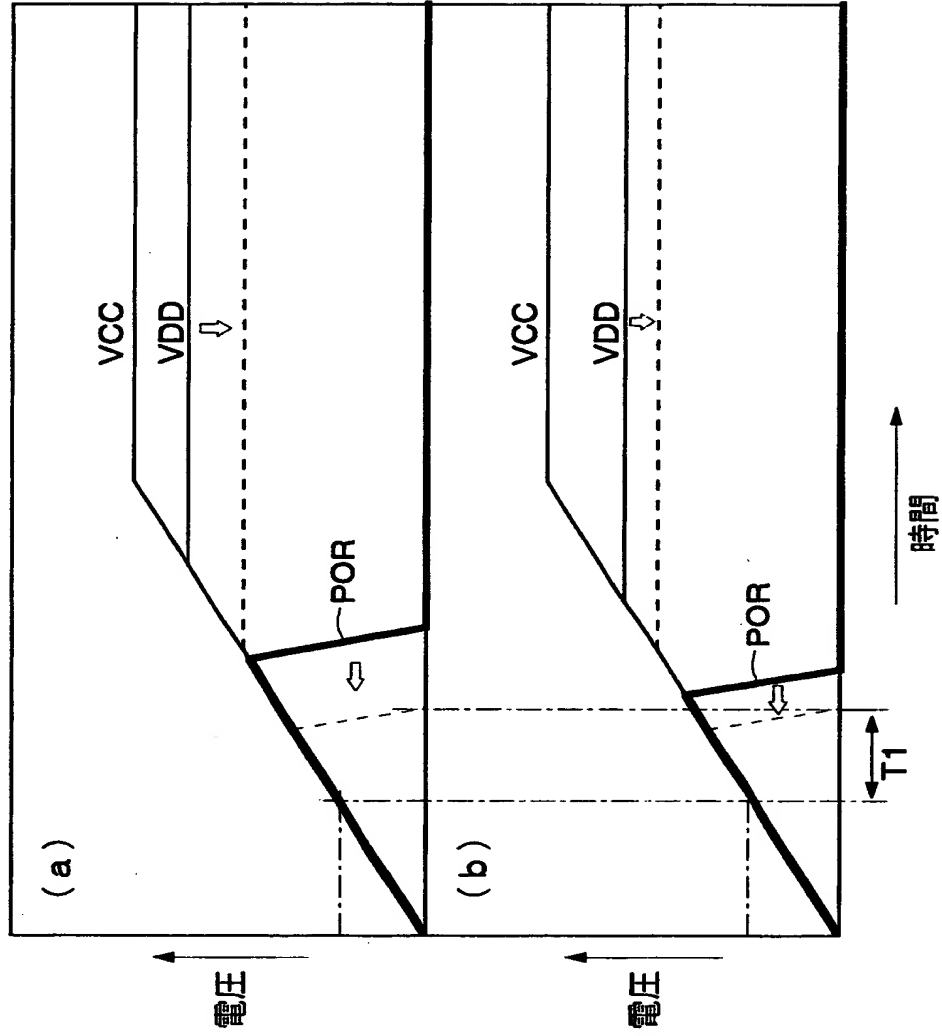


【図4】

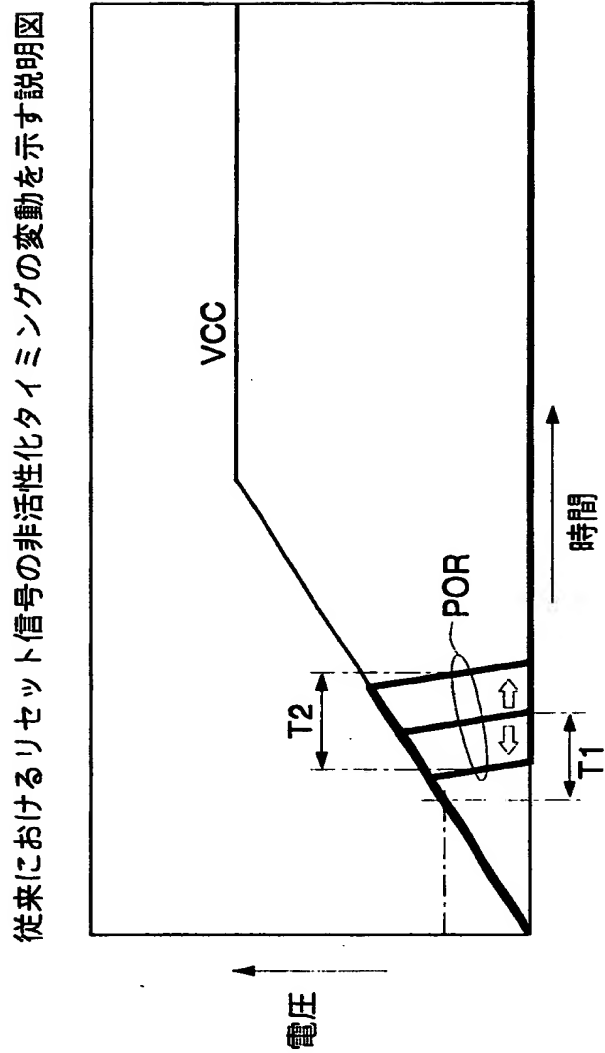


【図 5】

リセット信号の非活性化タイミングを調整する説明図



【図 6】



【書類名】 要約書

【要約】

【課題】 本発明は、パワーオンリセット回路を有する半導体集積回路に関し、リセット信号の生成タイミングのばらつきを低減することを目的とする。また、外部電源電圧が低いときにも、パワーオンリセット回路を確実に動作させ、内部回路を初期化することを目的とする。

【解決手段】 内部回路を初期化するリセット信号を、電源の立ち上げから所定の期間活性化し、その後非活性化するパワーオンリセット回路を備えている。リセット信号の非活性化タイミングは、内蔵するトランジスタの閾値に応じて変化する内部電源電圧を利用して、タイミング調整回路により調整される。このため、半導体集積回路の製造条件の変動等によりずれた非活性化タイミングを、正常な値に調整できる。この結果、内部回路を確実に初期化できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社